

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-321673

(43) 公開日 平成7年(1995)12月8日

(51) Int.Cl.⁶ 識別記号 序内整理番号 F I 技術表示箇所
H 0 3 M 13/12 8730-5 J
7/30 Z 8842-5 J
H 0 4 L 25/49 Z 9199-5 K

審査請求 有 請求項の数 6 O.L. (全 7 頁)

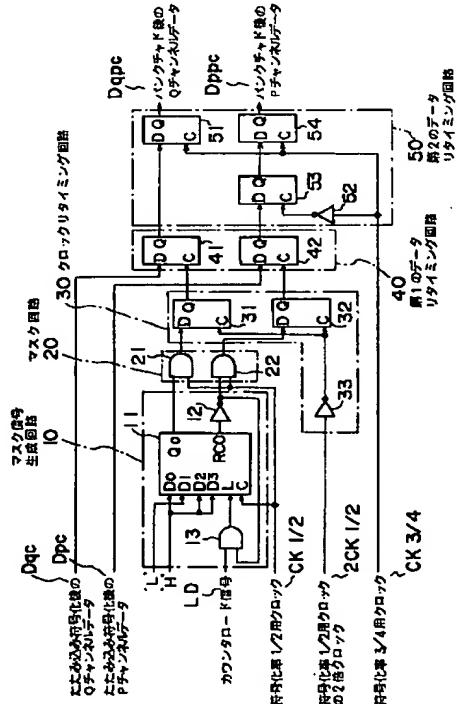
(21)出願番号	特願平6-114840	(71)出願人	000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(22)出願日	平成6年(1994)5月27日	(72)発明者	矢川 健一郎 東京都港区芝五丁目7番1号 日本電気株 式会社内
		(74)代理人	弁理士 後藤 洋介 (外2名)

(54) 【発明の名称】 パンクチャド符号化回路

(57) 【要約】

【目的】衛生通信装置におけるパンクチャド符号化回路において、符号化率3/4のデータを小規模回路で生成すること。

【構成】 マスク信号生成回路 10 は、クロック CK_{1/2} に基づいて間欠的なマスク信号を生成する。マスク回路 20 はクロック CK_{1/2} を間欠的なマスク信号でマスクして、間欠クロックを出力する。クロッククリタイミング回路 30 は、2 倍クロック 2CK_{1/2} に応答して、間欠クロックをリタイミングし、リタイミングした間欠クロックを出力する。第 1 のデータリタイミング回路 40 は、Q チャンネルデータ D_{qc} および P チャンネルデータ D_{pc} を、リタイミングした間欠クロックでリタイミングし、第 2 のデータリタイミング回路 50 は、それらデータをさらにクロック CK_{3/4} を用いてリタイミングし、Q チャンネルデータ D_{qpc} および P チャンネルデータ D_{ppc} を出力する。



【特許請求の範囲】

【請求項1】 たたみ込み符号化後のQチャンネルデータおよびたたみ込み符号化後のPチャンネルデータをパンクチャド符号化し、パンクチャド後のQチャンネルデータおよびパンクチャド後のPチャンネルデータを出力するパンクチャド符号化回路において、クロック周波数 f_c の符号化率 $1/2$ 用クロックに基づいて間欠的なマスク信号を生成するマスク信号生成回路と、

前記符号化率 $1/2$ 用クロックを前記間欠的なマスク信号でマスクして、間欠クロックを出力するマスク回路と、

前記クロック周波数 f_c の2倍のクロック周波数 $2f_c$ をもつ2倍クロックに応答して、前記間欠クロックをリタイミングし、リタイミングした間欠クロックを出力するクロックリタイミング回路と、

前記たたみ込み符号化後のQチャンネルデータおよび前記たたみ込み符号化後のPチャンネルデータを前記リタイミングした間欠クロックでリタイミングし、第1のリタイミングしたQチャンネルデータおよび第1のリタイミングしたPチャンネルデータを出力する第1のデータリタイミング回路と、

前記第1のリタイミングしたQチャンネルデータおよび前記第1のリタイミングしたPチャンネルデータをクロック周波数 $(2/3)f_c$ の符号化率 $3/4$ 用クロックを用いてリタイミングし、前記パンクチャド後のQチャンネルデータおよび前記パンクチャド後のPチャンネルデータを出力する第2のデータリタイミング回路とを有することを特徴とするパンクチャド符号化回路。

【請求項2】 前記マスク信号生成回路は、前記間欠的なマスク信号としてQチャンネル用マスク信号およびPチャンネル用マスク信号を出力し、前記マスク信号生成回路は、

前記符号化率 $1/2$ 用クロックをクロック端子で受け、該符号化率 $1/2$ 用クロックのクロック周期の3倍のパルス周期をもつと共にそれぞれ該符号化率 $1/2$ 用クロックのクロック周期の2倍および1倍のパルス幅をもつ第1および第2のカウンタ出力信号を出力する $1/3$ 分周カウンタと、

前記第2のカウンタ出力信号を反転して、反転したカウンタ出力信号を出力するインバータと、

ロードを指示するときだけ、所定期間、論理ローレベルとなるカウンタロード信号と前記反転したカウンタ出力信号との論理積をとり、論理積出力信号を前記 $1/3$ 分周カウンタのロード端子へ供給するアンドゲートとを有し、

前記第1のカウンタ出力信号および前記反転したカウンタ出力信号をそれぞれQチャンネル用マスク信号およびPチャンネル用マスク信号として出力することを特徴とする請求項1記載のパンクチャド符号化回路。

【請求項3】 前記マスク回路は、前記間欠的なマスク信号としてQチャンネル用マスク信号およびPチャンネル用マスク信号を受け、前記間欠クロックとしてQチャンネル用間欠クロックおよびPチャンネル用間欠クロックを出力し、前記マスク回路は、前記符号化率 $1/2$ 用クロックを前記Qチャンネル用マスク信号でマスクして、前記Qチャンネル用間欠クロックを出力する第1のアンドゲートと、

前記符号化率 $1/2$ 用クロックを前記Pチャンネル用マスク信号でマスクして、前記Pチャンネル用間欠クロックを出力する第2のアンドゲートとを有することを特徴とする請求項1記載のパンクチャド符号化回路。

【請求項4】 前記クロックリタイミング回路は、前記間欠クロックとしてQチャンネル用間欠クロックおよびPチャンネル用間欠クロックを受け、前記リタイミングしたクロックとしてリタイミングしたQチャンネル用クロックおよびリタイミングしたPチャンネル用クロックを出力し、前記クロックリタイミング回路は、

前記2倍クロックを反転して、反転した2倍クロックを出力するインバータと、

前記Qチャンネル用間欠クロックを前記反転した2倍クロックでリタイミングし、前記リタイミングしたQチャンネル用クロックを出力する第1のフリップフロップと、

前記Pチャンネル用間欠クロックを前記反転した2倍クロックでリタイミングし、前記リタイミングしたPチャンネル用クロックを出力する第2のフリップフロップとを有することを特徴とする請求項1記載のパンクチャド符号化回路。

【請求項5】 前記第1のデータリタイミング回路は、前記リタイミングしたクロックとしてリタイミングしたQチャンネル用クロックおよびリタイミングしたPチャンネル用クロックを受け、前記第1のデータリタイミング回路は、

前記たたみ込み符号化後のQチャンネルデータを前記リタイミングしたQチャンネル用クロックでリタイミングし、前記第1のリタイミングしたQチャンネルデータを出力する第1のフリップフロップと、

前記たたみ込み符号化後のPチャンネルデータを前記リ

タイミングしたPチャンネル用クロックでリタイミングし、前記第1のリタイミングしたPチャンネルデータを出力する第2のフリップフロップとを有することを特徴とする請求項1記載のパンクチャド符号化回路。

【請求項6】 前記第2のデータリタイミング回路は、前記第1のリタイミングしたQチャンネルデータを前記符号化率 $3/4$ 用クロックでリタイミングし、前記パンクチャド後のQチャンネルデータを出力する第1のフリップフロップと、

前記符号化率 $3/4$ 用クロックを反転し、反転した符号化率 $3/4$ 用クロックを出力するインバータと、

前記第1のリタイミングしたPチャンネルデータを前記反転した符号化率3/4用クロックでリタイミングし、付加的なリタイミングしたPチャンネルデータを出力する第2のフリップフロップと、前記付加的なリタイミングしたPチャンネルデータを前記符号化率3/4用クロックでリタイミングし、前記パンクチャド後のPチャンネルデータを出力する第3のフリップフロップとを有することを特徴とする請求項1記載のパンクチャド符号化回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は衛星通信装置用の誤り訂正復号器として使用されるビタビ復号器に対して使用されるパンクチャド符号化回路に関し、特に、符号化率3/4の場合のパンクチャド符号化回路に関する。

【0002】

【従来の技術】図3に従来のパンクチャド符号化回路を示す。パンクチャド符号化回路は、入力信号として符号化率1/2用クロックCK_{1/2}と符号化率3/4用クロックCK_{3/4}とたたみ込み符号化後のPチャンネルデータD_{pc}とたたみ込み符号化後のQチャンネルデータD_{qc}とを受ける。パンクチャド符号化回路は、符号化率1/2用クロックCK_{1/2}と符号化率3/4用クロックCK_{3/4}とを用いて、たたみ込み符号化後のPチャンネルデータD_{pc}とたたみ込み符号化後のQチャンネルデータD_{qc}とをパンクチャド符号化し、出力信号としてパンクチャド後のPチャンネルデータD_{ppc}とパンクチャド後のQチャンネルデータD_{qpc}とを出力する。

【0003】図示のパンクチャド符号化回路は、Pチャンネル用シリアル・パラレル変換用12段シフトレジスタ61と、Qチャンネル用シリアル・パラレル変換用12段シフトレジスタ62と、符号化率3/4用クロック分周カウンタ63と、アドレスデコーダ64と、Pチャンネル用パラレル・シリアル変換用シフトレジスタ66と、Qチャンネル用パラレル・シリアル変換用シフトレジスタ67とを有する。

【0004】Pチャンネル用シリアル・パラレル変換用12段シフトレジスタ61は、符号化率1/2用クロックCK_{1/2}に応答して、たたみ込み符号化後のPチャンネルデータD_{pc}をシリアル・パラレル変換し、12ビットのパラレル出力のうちパンクチャドすべきデータを取り除いた8ビットのPチャンネル用データD_{pp}を出力する。同様に、Qチャンネル用シリアル・パラレル変換用12段シフトレジスタ62は、符号化率1/2用クロックCK_{1/2}に応答して、たたみ込み符号化後のQチャンネルデータD_{qc}をシリアル・パラレル変換し、12ビットのパラレル出力のうちパンクチャドすべきデータを取り除いた8ビットのQチャンネル用データD_{qp}を出力する。

【0005】又、符号化率3/4用クロック分周カウン

タ63とアドレスデコーダ64との組み合わせから成る回路は、符号化率3/4用クロックCK_{3/4}から8ビット毎に論理ハイレベルとなるパルスロード信号LDを生成する。このパルスロード信号LDは、Pチャンネル用パラレル・シリアル変換用シフトレジスタ66およびQチャンネル用パラレル・シリアル変換用シフトレジスタ67のロード信号として使用される。また、符号化率3/4用クロックCK_{3/4}はPチャンネル用パラレル・シリアル変換用シフトレジスタ66およびQチャンネル用パラレル・シリアル変換用シフトレジスタ67に供給される。

【0006】Pチャンネル用パラレル・シリアル変換用シフトレジスタ66は、パルスロード信号LDに応答して8ビットのPチャンネル用データD_{pp}をロードし、そのロードした信号を符号化率3/4用クロックCK_{3/4}に同期してパラレル・シリアル変換し、符号化率3/4用クロックCK_{3/4}のクロック周波数に等しいデータ速度をもつパンクチャド後のPチャンネルデータD_{ppc}を出力する。

【0007】同様に、Qチャンネル用パラレル・シリアル変換用シフトレジスタ67は、パルスロード信号LDに応答して8ビットのQチャンネル用データD_{qp}をロードし、そのロードした信号を符号化率3/4用クロックCK_{3/4}に同期してパラレル・シリアル変換し、符号化率3/4用クロックCK_{3/4}のクロック周波数に等しいデータ速度をもつパンクチャド後のQチャンネルデータD_{qpc}を出力する。

【0008】尚、本発明に関連する先行技術として、実願平1-26901号のマイクロフィルム（実開平2-118335号公報）には、バースト毎に符号化率可変の制御が行える様に制御信号を統一し、最終出力を符号化率1/2及び3/4のいずれも符号化率1/2のクロックで出力できる様にした「パンクチャド符号化回路」が開示されている。

【0009】

【発明が解決しようとする課題】上述した従来のパンクチャド符号化回路では、たたみ込み符号化後のデータをシリアル・パラレル変換するためのシフトレジスタ61および62として、Pチャンネル用およびQチャンネル用にそれぞれフリップフロップを12段以上接続したものを必要とする。さらに、シフトレジスタ61および62のパラレル出力から必要なデータを抜き出した後、パラレル・シリアル変換するためのシフトレジスタ66および67用のパルスロード信号LDを生成する回路が、符号化率3/4用クロック分周カウンタ63とアドレスデコーダ64との組み合わせから成る複雑な回路となる。このように、従来のパンクチャド符号化回路は回路規模が大きくなり、パンクチャド符号化回路内での信号の遅延も大きくなるという問題点がある。

【0010】それ故に本発明の課題は、回路規模の小さ

いパンクチャド符号化回路を提供することにある。

【0011】本発明の他の課題は、信号の遅延が小さいパンクチャド符号化回路を提供することにある。

【0012】先行技術は、バースト毎に符号化率の切り換えが行えるパンクチャド符号化回路を開示するだけで、本発明のように符号化率3/4のPチャンネルデータ、Qチャンネルデータを簡潔な小規模回路で生成するものとは、目的が異なる。

【0013】

【課題を解決するための手段】本発明によれば、たたみ込み符号化後のQチャンネルデータおよびたたみ込み符号化後のPチャンネルデータをパンクチャド符号化し、パンクチャド後のQチャンネルデータおよびパンクチャド後のPチャンネルデータを出力するパンクチャド符号化回路において、クロック周波数 f_c の符号化率1/2用クロックに基づいて間欠的なマスク信号を生成するマスク信号生成回路と、符号化率1/2用クロックを間欠的なマスク信号でマスクして、間欠クロックを出力するマスク回路と、クロック周波数 f_c の2倍のクロック周波数 $2f_c$ をもつ2倍クロックに応答して、間欠クロックをリタイミングし、リタイミングした間欠クロックを出力するクロックリタイミング回路と、たたみ込み符号化後のQチャンネルデータおよびたたみ込み符号化後のPチャンネルデータを、リタイミングした間欠クロックでリタイミングし、第1のリタイミングしたQチャンネルデータおよび第1のリタイミングしたPチャンネルデータを出力する第1のデータリタイミング回路と、第1のリタイミングしたQチャンネルデータおよび第1のリタイミングしたPチャンネルデータをクロック周波数 $(2/3)f_c$ の符号化率3/4用クロックを用いてリタイミングし、パンクチャド後のQチャンネルデータおよびパンクチャド後のPチャンネルデータを出力する第2のデータリタイミング回路とを有することを特徴とするパンクチャド符号化回路が得られる。

【0014】

【実施例】次に、本発明について図面を参照して詳細に説明する。

【0015】図1を参照して、本発明の一実施例によるパンクチャド符号化回路について説明する。図示のパンクチャド符号化回路は、入力信号として、クロック周波数 f_c をもつ符号化率1/2用クロック $CK_{1/2}$ と、クロック周波数 $(2/3)f_c$ をもつ符号化率3/4用クロック $CK_{3/4}$ と、クロック周波数 f_c の2倍のクロック周波数 $2f_c$ をもつ2倍クロック $2CK_{1/2}$ と、カウンタロード信号LDと、たたみ込み符号化後のPチャンネルデータ D_{pc} と、たたみ込み符号化後のQチャンネルデータ D_{qc} とを受ける。パンクチャド符号化回路は、符号化率1/2用クロック $CK_{1/2}$ と符号化率3/4用クロック $CK_{3/4}$ と2倍クロック $2CK_{1/2}$ とカウンタロード信号LDとを用いて、後述するように、たたみ込み符号

化後のPチャンネルデータ D_{pc} とたたみ込み符号化後のQチャンネルデータ D_{qc} とをパンクチャド符号化し、出力信号としてパンクチャド後のPチャンネルデータ D_{ppc} とパンクチャド後のQチャンネルデータ D_{qpc} とを出力する。

【0016】パンクチャド符号化回路は、マスク信号生成回路10と、マスク回路20と、クロックリタイミング回路30と、第1のデータリタイミング回路40と、第2のデータリタイミング回路50とを有する。

【0017】マスク信号生成回路10は、カウンタロード信号LDと符号化率1/2用クロック $CK_{1/2}$ に基づいて間欠的なマスク信号を生成する。マスク回路20は、符号化率1/2用クロック $CK_{1/2}$ を間欠的なマスク信号でマスクして、間欠クロックを出力する。クロックリタイミング回路30は、2倍クロック $2CK_{1/2}$ に応答して、間欠クロックをリタイミングし、リタイミングした間欠クロックを出力する。第1のデータリタイミング回路40は、たたみ込み符号化後のQチャンネルデータ D_{qc} およびたたみ込み符号化後のPチャンネルデータ D_{pc} を、リタイミングした間欠クロックでリタイミングし、第1のリタイミングしたQチャンネルデータおよび第1のリタイミングしたPチャンネルデータを出力する。第2のデータリタイミング回路50は、第1のリタイミングしたQチャンネルデータおよび第1のリタイミングしたPチャンネルデータを符号化率3/4用クロック $CK_{3/4}$ を用いてリタイミングし、パンクチャド後のQチャンネルデータ D_{qpc} およびパンクチャド後のPチャンネルデータ D_{ppc} を出力する。

【0018】マスク信号生成回路10は、1/3分周カウンタ11と、インバータ12と、アンドゲート13とを有する。1/3分周カウンタ11は、4つのデータ入力端子 D_0 , D_1 , D_2 , および D_3 と、ロード端子Lと、クロック端子Cと、第1および第2のデータ出力端子 D_0 およびRCOとをもつ。クロック端子Cには符号化率1/2用クロック $CK_{1/2}$ が供給される。上記4つのデータ入力端子 D_0 ~ D_3 のうち、3つのデータ入力端子 D_0 , D_2 , および D_3 には論理ハイレベル“H”的信号が供給され、データ入力端子 D_1 には論理ローレベル“L”的信号が供給される。ロード端子Lには後述するアンドゲート13から論理積出力信号が供給される。1/3分周カウンタ11は、符号化率1/2用クロック $CK_{1/2}$ に同期して、符号化率1/2用クロック $CK_{1/2}$ のクロック周期の3倍のパルス周期をもつと共にそれぞれ符号化率1/2用クロック $CK_{1/2}$ のクロック周期の2倍および1倍のパルス幅をもつ第1および第2のカウンタ出力信号を、第1および第2のデータ出力端子 D_0 およびRCOから出力する。第2のカウンタ出力信号はインバータ12に供給される。インバータ12は、第2のカウンタ出力信号を反転して、反転したカウンタ出力信号を出力する。カウンタロード信号LDは、

ロードを指示するときだけ、所定期間、論理ローレベル“L”となる。アンドゲート13は、カウンタロード信号と反転したカウンタ出力信号との論理積をとり、論理積出力信号を1/3分周カウンタ11のロード端子Lへ供給する。マスク信号生成回路10は、間欠的なマスク信号として、第1のカウンタ出力信号であるQチャンネル用マスク信号および反転したカウンタ出力信号であるPチャンネル用マスク信号を出力する。

【0019】マスク回路20は、マスク信号生成回路10からQチャンネル用マスク信号およびPチャンネル用マスク信号を受け、間欠クロックとしてQチャンネル用間欠クロックおよびPチャンネル用間欠クロックを出力する。マスク回路20は、符号化率1/2用クロックCK_{1/2}をQチャンネル用マスク信号でマスクして、Qチャンネル用間欠クロックを出力するアンドゲート21と、符号化率1/2用クロックCK_{1/2}をPチャンネル用マスク信号でマスクして、Pチャンネル用間欠クロックを出力するアンドゲート22とを有する。

【0020】クロッククリタイミング回路30は、マスク回路20から間欠クロックとしてQチャンネル用間欠クロックおよびPチャンネル用間欠クロックを受け、リタイミングしたクロックとしてリタイミングしたQチャンネル用クロックおよびリタイミングしたPチャンネル用クロックを出力する。クロッククリタイミング回路30は、2個のフリップフロップ31および32と、インバータ33とを有する。インバータ33は2倍クロック2CK_{1/2}を反転して、反転した2倍クロックを出力する。フリップフロップ31は、Qチャンネル用間欠クロックを反転した2倍クロックでリタイミングし、リタイミングしたQチャンネル用クロックを出力する。フリップフロップ32は、Pチャンネル用間欠クロックを反転した2倍クロックでリタイミングし、リタイミングしたPチャンネル用クロックを出力する。

【0021】第1のデータリタイミング回路40は、クロッククリタイミング回路30からリタイミングしたクロックとしてリタイミングしたQチャンネル用クロックおよびリタイミングしたPチャンネル用クロックを受けける。第1のデータリタイミング回路40は、たたみ込み符号化後のQチャンネルデータD_{qc}を、リタイミングしたQチャンネル用クロックでリタイミングし、第1のリタイミングしたQチャンネルデータを出力するフリップフロップ41と、たたみ込み符号化後のPチャンネルデータD_{pc}を、リタイミングしたPチャンネル用クロックでリタイミングし、第1のリタイミングしたPチャンネルデータを出力するフリップフロップ42とを有する。

【0022】第2のデータリタイミング回路50は、フリップフロップ51と、インバータ52と、フリップフロップ53および54とを有する。フリップフロップ51は、第1のリタイミングしたQチャンネルデータを符号化率3/4用クロックCK_{3/4}でリタイミングし、パ

ンクチャド後のQチャンネルデータD_{qpc}を出力する。インバータ52は、符号化率3/4用クロックCK_{3/4}を反転し、反転した符号化率3/4用クロックを出力する。フリップフロップ53は、第1のリタイミングしたPチャンネルデータを、反転した符号化率3/4用クロックでリタイミングし、付加リタイミングしたPチャンネルデータを出力する。フリップフロップ54は、付加リタイミングしたPチャンネルデータを、符号化率3/4用クロックCK_{3/4}でリタイミングし、パンクチャド後のPチャンネルデータD_{ppc}を出力する。

【0023】図2は図1に示したパンクチャド符号化回路の動作を説明するためのタイミングチャートである。第1行目および第2行目にそれぞれ符号化率1/2用クロックCK_{1/2}および符号化率3/4用クロックCK_{3/4}を示す。第3行目および第4行目にそれぞれ2倍クロック2CK_{1/2}およびカウンタロード信号LDを示す。第5行目および第6行目にそれぞれ1/3分周カウンタ11の第1および第2のデータ出力端子D₀およびRCOから出力される第1および第2のカウンタ出力信号を示す。第7行目にクロッククリタイミング回路30のフリップフロップ31から出力されるリタイミングしたQチャンネル用クロックを示す。第8行目にたたみ込み符号化後のQチャンネルデータD_{qc}を示す。第9行目に第1のデータリタイミング回路40のフリップフロップ41から出力される第1のリタイミングしたQチャンネルデータを示す。第10行目に第2のデータリタイミング回路50のフリップフロップ51から出力されるパンクチャド後のQチャンネルデータD_{qpc}を示す。第11行目にクロッククリタイミング回路30のフリップフロップ32から出力されるリタイミングしたPチャンネル用クロックを示す。第12行目にたたみ込み符号化後のPチャンネルデータD_{pc}を示す。第13行目に第1のデータリタイミング回路40のフリップフロップ42から出力される第1のリタイミングしたPチャンネルデータを示す。第14行目に第2のデータリタイミング回路50のフリップフロップ53から出力される付加リタイミングしたPチャンネルデータを示す。第15行目に第2のデータリタイミング回路50のフリップフロップ54から出力されるパンクチャド後のPチャンネルデータD_{ppc}を示す。

【0024】論理ローレベル“L”的カウンタロード信号LCがアンドゲート13を介して1/3分周カウンタ11のロード端子Lに供給されると、1/3分周カウンタ11は、図2の第5行目および第6行目に示されるように、第1および第2のデータ出力端子D₀およびRCOからそれぞれ第1および第2のカウンタ出力信号を出力する。インバータ12は第2のカウンタ出力信号を反転し、反転したカウンタ出力信号として出力される。マスク信号生成回路10は、第1のカウンタ出力信号および反転したカウンタ出力信号をそれぞれQチャンネル用

マスク信号およびPチャンネル用マスク信号として出力する。

【0025】最初に、Qチャンネルデータについて説明する。アンドゲート21は符号化率1/2用クロックCK_{1/2}をQチャンネル用マスク信号によってマスクし、Qチャンネル用間欠クロックを出力する。フリップフロップ31は、図2の第7行目に入力されるように、インバータ33によって2倍クロック2CK_{1/2}を反転した2倍クロックでQチャンネル用間欠クロックをリタイミングし、リタイミングしたQチャンネル用クロックを出力する。図2の第8行目および第9行目に入力されるように、フリップフロップ41はたたみ込み符号化後のQチャンネルデータD_{qc}を、リタイミングしたQチャンネル用クロックでリタイミングし、第1のリタイミングしたQチャンネルデータを出力する。図2の第10行目に入力されるように、フリップフロップ51は第1のリタイミングしたQチャンネルデータを符号化率3/4用クロックCK_{3/4}でリタイミングし、パンクチャド後のQチャンネルデータD_{qpc}を出力する。

【0026】次に、Pチャンネルデータについて説明する。アンドゲート22は符号化率1/2用クロックCK1/2をPチャンネル用マスク信号によってマスクし、Qチャンネル用間欠クロックを出力する。フリップフロップ32は、図2の第11行目に示されるように、インバータ33によって2倍クロック2CK1/2を反転した2倍クロックでPチャンネル用間欠クロックをリタイミングし、リタイミングしたPチャンネル用クロックを出力する。図2の第12行目および第13行目に示されるように、フリップフロップ42はたたみ込み符号化後のPチャンネルデータD_{pc}を、リタイミングしたPチャンネル用クロックでリタイミングし、第1のリタイミングしたPチャンネルデータを出力する。図2の第14行目に示されるように、フリップフロップ53はインバータ5

2によって符号化率3/4用クロックCK_{3/4}を反転した符号化率3/4用クロックで第1のリタイミングしたPチャンネルデータをリタイミングし、付加リタイミングしたPチャンネルデータを出力する。図2の第15行目に示されるように、フリップフロップ54は付加リタイミングしたPチャンネルデータを符号化率3/4用クロックCK_{3/4}でリタイミングし、パンクチャド後のPチャンネルデータD_{ppc}を出力する。

【0027】本発明は上述した実施例に限定されず、本
10 発明の要旨を逸脱しない範囲内で種々の変更が可能であ
るのは勿論である。

[0028]

【発明の効果】以上説明したように本発明によるパンクチャド符号化回路は、間欠的なマスク信号を用いて生成される間欠クロックにより、たたみ込み符号化後のデータをリタイミングし、このリタイミングしたデータをさらに符号化率3/4用クロックを用いてリタイミングすることによりパンクチャドを行うので、回路構成が簡潔になり、回路規模も小さくなるという効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例によるパンクチャド符号化回路を示すブロック図である。

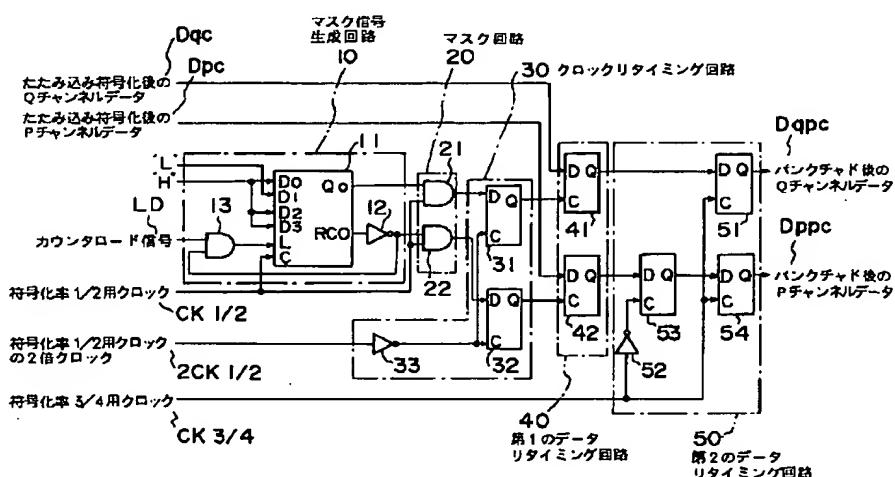
【図2】図1に示したパンクチャド符号化回路の動作を説明するためのタイミングチャートである。

【図3】従来のパンクチャド符号化回路を示すブロック図である。

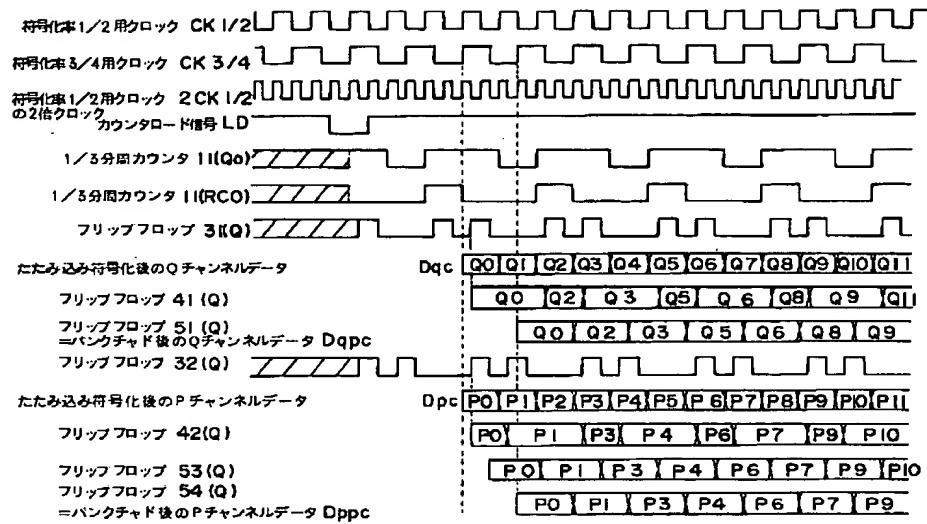
【符号の説明】

10 マスク信号生成回路
 20 マスク回路
 30 30 クロッククリタイミング回路
 40 第1のデータリタイミング回路
 50 第2のデータリタイミング回路

【四】



【図2】



【図3】

